

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354800

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. H01L 29/786
H01L 21/336

(21)Application number : 10- (71)Applicant : HITACHI LTD
155586

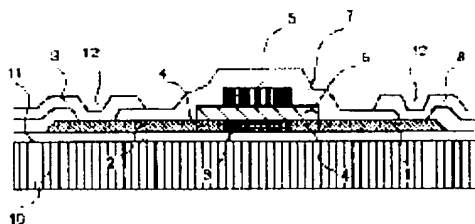
(22)Date of filing : 04.06.1998 (72)Inventor : SATO TAKESHI
KAWACHI GENSHIRO

(54) THIN-FILM TRANSISTOR, ITS FORMING METHOD, AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable thin-film transistor due to a high On current with a low-resistance LDD region.

SOLUTION: A thin-film transistor consists of a gate 5, a gate insulation layer 6, a channel 3, a source 1, a drain 2, and an LDD region 4. At this time, the channel 3 is formed by a polycrystalline Si film with an average particle diameter of 1/10 or less of the channel length. Also, the LDD region consists of an Si film where a crystal grain boundary does not cross a current path from the channel 3 and that is regarded nearly as a single crystal in a current flowing direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(10) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354800

(43) 公開日 平成11年(1999)12月24日

(51) Int. Cl.

識別記号

F

H01L 29/78
21/38

H01L 29/78

616A
619D
627C

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平10-155586

(22) 出願日 平成10年(1998)6月4日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区千田蔵河台四丁目6番地

(72) 発明者 佐藤 健史

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

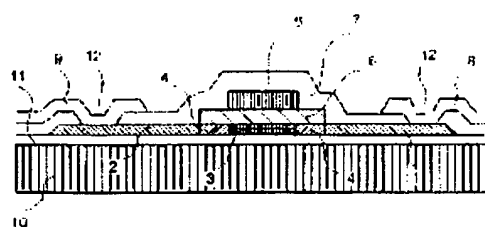
(54) 【発明の名称】 薄膜トランジスタ及びその形成方法並びに液晶表示装置

【要約】 (要約) (真正有)

【課題】 抵抗成分の低い領域を有し、高いオン電流による高信頼性の薄膜トランジスタを提供する。

【解決手段】 1、15、ゲート絶縁層4、チャネル3、ソース1、ドレイン2、1、1の領域4からなる薄膜トランジスタにおいて、チャネルは、チャネル長の1/10以下の4の長さより大きな結晶5、膜で形成され、L Dの領域は、結晶6がチャネルからの電流経路を横切らる。目的は、4の両端に結晶5とみなせる5、膜からなる。

図 2



れ、層間絶縁時に塗布された高抵抗しじり領域4を空乏化して高抵抗化し、しじり電流を低下させる問題があった。

【0007】本発明の第1の目的は、しじり領域を覆う絶縁膜の層間が良好な層間トランジスタを形成し、しじり領域の抵抗増加を抑制してしじり電流の減少しない高信頼性の薄膜トランジスタを提供することにある。

【0008】

【課題を解決するための手段】本発明は、上記目的の1つを達成し、も解決するものであり、その特徴は、ゲート絶縁膜の下層にゲート絶縁層を介して形成された、層間絶縁膜の基板上に形成される半導体膜からなる「チャンネル」前記ドレイフの分離された半導体膜からなり、チャンネルの両端に前記ドレイフと前記ドレイフ間の前記「チャンネル」より低濃度のドーパされた半導体膜からなるしじり領域とからなる層間トランジスタとして、前記チャンネルは、チャンネル長の1/2以下に平均濃度を有する多結晶シリコンで形成され、前記しじり領域は、結晶粒径が前記チャンネルからの高濃度層と接しない、且つ高濃度方向に散乱単結晶とみなせる多結晶シリコンである。

【0009】本発明は、平均の結晶粒径がチャンネル長の1/2以下に平均濃度を有するしじり領域が、高濃度流れる方向に結晶粒界がない構成から、層間トランジスタの特性向上が実現し、しじり領域の抵抗を低く出来る。

【0010】

【発明の効果】以下、本発明の実施方法を説明する。

【0011】図1は本発明の一実施例である層間トランジスタの断面図、図2はその断面図を示す。

【0012】多結晶シリコンからなるチャンネルと、チャンネルを流れる高濃度のシリコンで成長した結晶粒界からなるしじり領域4からなるしじり領域4を有する層間トランジスタである。チャンネルの多結晶シリコンは、平均粒径がチャンネルの1/2以下に平均濃度で層間トランジスタの特性向上が実現し、しじり領域4は、高濃度流れる方向に結晶粒界がなく、散乱単結晶とみなせる多結晶シリコンで形成されている。このためしじり領域の抵抗は結晶粒界がないシリコン結晶の場合と同じ程度まで低く出来、しじり電流が改善されている。

【0013】また、本発明の層間トランジスタでは、しじり領域4は、ゲート絶縁膜6に覆われており、ゲート絶縁膜6は層間絶縁膜7より高い抵抗を有する。ゲート絶縁膜6をあまり低下させると、しじり電流が増加する。したがって、層間絶縁膜7より

低抵抗に形成できる。しじり領域4が層間絶縁膜7に覆われる従来構造に対し、ゲート絶縁膜6に覆われる本発明の構造では絶縁膜中の欠陥によるしじり電流の蓄積が低減されるためしじり領域4の空乏化が従来構造に比べ緩和され、信頼性が向上する。

【0014】図3と図6は本発明による薄膜トランジスタの形成法の例である。

【0015】図3a、bに多結晶シリコンの形成法を示す。ガラスからなる透明絶縁基板1の上に、シリコンからなる保護膜1を介して、アモルファスシリコンをCVD法により堆積する。アモルファスシリコンを用いて、紫外光4を走査して結晶化し、多結晶シリコンとする。ここで、レーザー強度は得られる多結晶シリコンの平均の結晶粒径がチャンネル長の1/2以下の1以下となるように調整される。次にホトリソを用いて多結晶シリコンを島状に加工し、その上にシリコン、窒素、リンをドーパされたアモルファスシリコンをCVDにより堆積する。ホトリソを用いて、シリコンからなるゲート絶縁膜6と、シリコンドーパされたアモルファスシリコンからなるゲート5をそれぞれ形成して図3bのパターンを形成する。次に図3c、dに示すようにゲート絶縁膜6をマスクとして、シリコン、リン、硼より、レーザー照射によりシリコンをドーパする。その後、再びレーザー照射を行う。図3e、fにおいて、ゲート5をマスクとして、レーザー4を走査し、シリコン、シリコン、窒素、リンの領域4を溶解する。シリコン、シリコン、窒素、リンよりしじり領域4がドーパドであるシリコンが拡散し、ドーパされる。また、溶解したしじり領域4は溶解していないチャンネルから熱を奪われるため、チャンネル側から凝固して、シリコンシリコンの間にチャンネルを介して流れる高濃度方向に散乱単結晶とみなせる領域からなるしじり領域4が形成される。なお、レーザーにより、シリコンドーパされたアモルファスシリコンからなるゲート5も結晶化され、低抵抗の電極となる。さらに図3g、hに示す様に、ゲート絶縁膜6をマスクとして、シリコン、シリコン、窒素、リンの領域4にレーザー4を照射し、シリコンを高濃度化し、シリコンをドーパし、シリコンの熱処理によりシリコンを活性化し、シリコン、シリコンを介するしじり領域4を形成する。最後に図3i、jに示すようにシリコンからなる層間絶縁膜7をCVDにより堆積し、ホトリソによりコンタクトホール1を開口した後、金属膜を堆積して再びホトリソにより加工して、ソース電極がシリコン電極を形成し、層間トランジスタを得る。

【0016】本形成法によれば、しじり領域4を覆うゲート絶縁膜6は図3g、hに示すようにレーザー照射時に溶解したしじり領域4より加熱されているシリコンの高温でアモルファスされ、ゲート絶縁膜6中の欠陥が低減される。これによりゲート絶縁膜6のシリコンの蓄積が防止され、しじり領域の空乏化、高抵抗化が抑制されて高い信頼性が得られる。

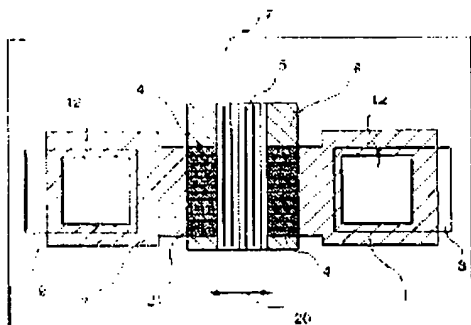
【図1】図1は本発明による液晶表示装置の薄膜トランジスタ素子の一例である。薄膜トランジスタ基板30の上で透明電極からなる画素電極34がマトリクス状に形成され、画素領域35が形成されている。画素電極34はトレイン電極3から信号電圧をゲート線31の電圧によりトレイン電極3となる薄膜トランジスタ33が形成されている。また、ゲート線31を駆動するゲート駆動回路37、トレイン線32を駆動するトレイン駆動回路37が薄膜トランジスタ基板の画素領域35と隣接し、本発明の薄膜トランジスタを用いて形成されている。本発明のトランジスタが改良された薄膜トランジスタを用いてトレイン線31及びトレイン線32を駆動するのにより高い駆動力が得られ、駆動回路を薄膜トランジスタ基板上に形成できる。これにより、画素1ピクセルの高精細化でき、また製造コストが低減できる。また、本発明の薄膜トランジスタは、画素スイッチの特性であるが、前圧に依り低いオフ電流を得られるため、画素電極34をスイッチする薄膜トランジスタとして用いることもできる。これにより画素領域35と隣接するゲート駆動回路37及びトレイン駆動回路37の薄膜トランジスタ同一プロセスで形成でき、工程数を抑えることによりコスト化が図れる。

【図1】

【発明の効果】本発明によれば、均一に高いオフ電流を有する前圧、信頼性に優れた薄膜トランジスタが得られ、液晶表示装置として液晶表示装置が得られる。

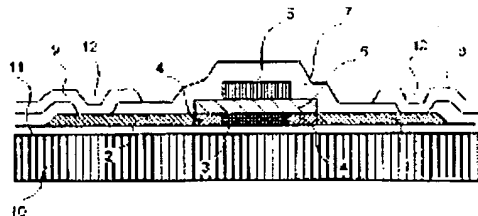
【図1】

図 1



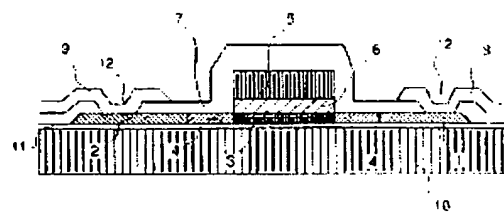
【図2】

図 2



【図4】

図 4



※【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの一例の上面図を示す図である。

【図2】本発明の薄膜トランジスタの一例の断面図を示す図である。

【図3】従来の薄膜トランジスタの一例の上面図を示す図である。

【図4】従来の薄膜トランジスタの一例の断面図を示す図である。

10 【図5】本発明の薄膜トランジスタの一例の断面図を示す図である。

【図6】本発明の薄膜トランジスタの他の形成方法を示す図である。

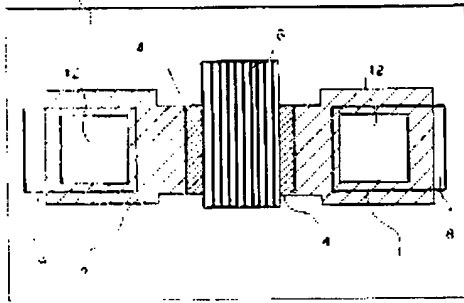
【図7】本発明による液晶表示装置の薄膜トランジスタ素子の一例の上面図を示す図である。

【符号の説明】

1…ゲート線、2…トレイン線、3…ゲート線、4…トレイン線、5…ゲート線、6…トレイン線、7…画素電極、8…ゲート電極、9…トレイン電極、10…基板、11…保護膜、12…ゲート電極、13…ゲート電極、14…ゲート電極、15…ゲート電極、16…ゲート電極、17…ゲート電極、18…ゲート電極、19…ゲート電極、20…ゲート電極、21…ゲート電極、22…ゲート電極、23…ゲート電極、24…ゲート電極、25…ゲート電極、26…ゲート電極、27…ゲート電極、28…ゲート電極、29…ゲート電極、30…ゲート電極、31…ゲート線、32…トレイン線、33…薄膜トランジスタ、34…画素電極、35…画素領域、36…ゲート駆動回路、37…トレイン駆動回路、40…液晶表示装置、41…液晶表示装置。

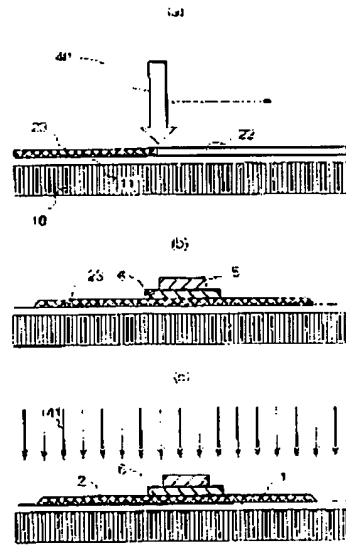
【図3】

図 3



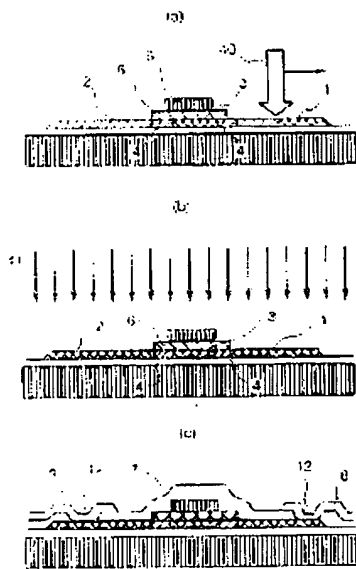
【図5】

図 5



【図6】

図 6



【図7】

図 7

